

寄生成分の特性への影響



David Reusch, Ph.D., アプリケーション部門ディレクタ, Efficient Power Conversion Corporation

eGaN[®] FETなどのエンハンスメント・モード窒化ガリウムに基づいたパワー・デバイスは、シリコンMOSFETで可能な特性よりも高い効率と高いスイッチング周波数を実現可能なことが、これまでに公開された論文のさまざまなアプリケーションで実証されています [1]~[4]。eGaN FETによるスイッチングの性能指数FOM (figure of merit) の改善によって、パッケージの寄生成分とプリント回路基板のレイアウトの寄生成分が、高性能化にとって重要になります。このホワイト・ペーパーでは、スイッチング周波数1 MHz、入力電圧12 V、出力電圧1.2 V、最高出力電流20 Aで動作するeGaN FETベースおよびMOSFETベースのPOL (負荷点) バック (降圧型) ・コンバータの特性に対する寄生インダクタンスの影響について検討します。

低電圧バック・コンバータにおけるeGaN FETとMOSFETの比較

従来のハード・スイッチング遷移では、そのスイッチング損失は、2つのデバイス・パラメータの影響を受けます。1つは、電圧の上昇速度と下降速度を決めるミラー電荷として知られるゲート-ドレイン間電荷 Q_{GD} で、もう1つのゲート-ソース間電荷 Q_{GS2} は、デバイスのしきい値電圧からゲートのプラトー電圧までのゲート-ソース間電荷の一部であり、電流の上昇と下降の速度を決めます。図1aに示すターンオフ期間は、ゲート駆動電圧の低下から始まります。ゲート電圧がプラトー電圧に達すると、デバイスに加わる電圧が上昇し始め、ゲート電流 I_G によって駆動されます。電圧の上昇期間中、デバイスはデバイス内の電流と電圧の両方によって、スイッチング損失が発生します。電圧の上昇期間では、損失を決定するデバイス・パラメータは Q_{GD} です。デバイスの電圧が入力電圧に達すると、デバイスの電流が低下し始め、デバイスのスイッチング損失が増加します。電流の下降期間では、損失を決定するデバイス・パラメータは Q_{GS2} です。オフ時のスイッチング遷移中の電力損失は、次式で与えられます：

$$P_{SW(OFF)} = \frac{V_{IN} \cdot I_{OFF} \cdot (Q_{GD} + Q_{GS2})}{2 \cdot I_G} \quad (1)$$

オン時のスイッチング損失については、図1bに示すように、同じ原理が適用されます。パラメータ Q_{GD} と Q_{GS2} を最小化すると、ハード・スイッチングの用途で発生するスイッチング損失が減少します。オン時の損失は以下で与えられます：

$$P_{SW(ON)} = \frac{V_{IN} \cdot I_{ON} \cdot (Q_{GD} + Q_{GS2})}{2 \cdot I_G} \quad (2)$$

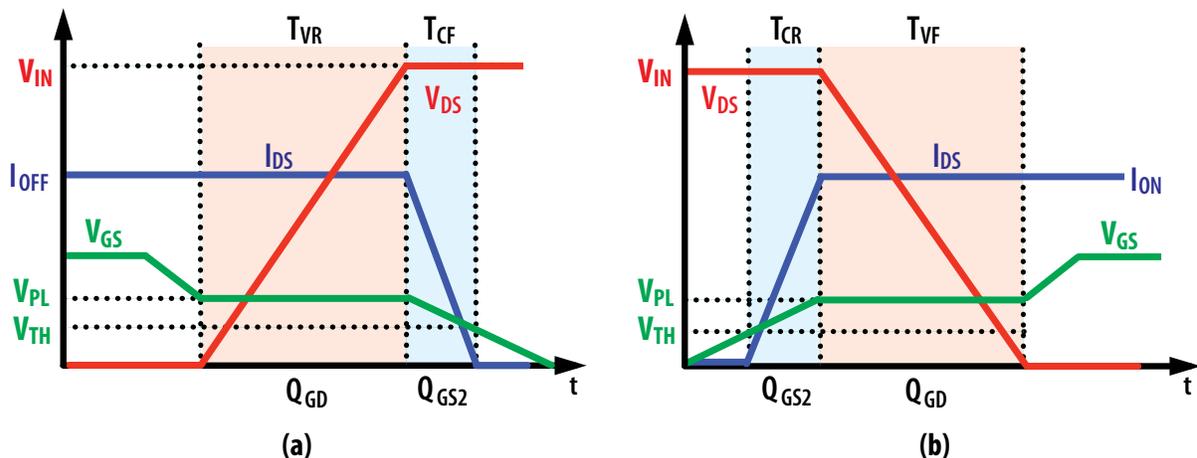


図1: 理想的なハード・スイッチングのオフ時の遷移 (a) と、オン時の遷移 (b)。

性能指数 (FOM) は、競合するパワー・デバイスの性能を比較するために広く採用されています [5]。同期整流バック (降圧型) ・コンバータなどのハード・スイッチング用途の FOM は、動的損失パラメータ $Q_{GD} + Q_{GS2}$ と、静的損失であるオン抵抗 $R_{DS(on)}$ の積として定義されます。耐圧 40 V の eGaN FET と、現在市場にある 40 V の MOSFET とを比較すると、図 2 に示すように、eGaN FET は大幅に小さい FOM が得られます。例えば、12 V 入力 のバック・コンバータなど、より小さい入力電圧を必要とする設計では、より低い耐圧の MOSFET を利用できます。25 V の Si MOSFET の FOM は、より高い定格の 40 V の eGaN FET と同等です。

FOM の比較から、eGaN FET は、同等の定格の 40 V の MOSFET デバイスよりも高い効率と、定格が 40% 低い 25 V の MOSFET と同様の効率が得られるはずです。実際のアプリケーションにおいて、FOM は、より高い効率の実現に寄与する項目の 1 つにすぎません。このほか、チップ・サイズの最適化 [6]、パッケージの寄生成分、および、プリント回路基板のレイアウトの寄生成分があります。低 FOM から実現可能な高速スイッチング速度を得るには、パッケージとプリント回路基板レイアウトの寄生成分が小さくなければなりません。eGaN FET は、内部インダクタンスが小さいだけでなく、ユーザーが基板を超低インダクタンスで設計できる先進的なランド・グリッド・アレイ (LGA) ・パッケージで開発されました。この分析では、パッケージとプリント回路基板レイアウトの寄生成分がコンバータ特性に与える影響を説明し、eGaN FET デバイスと MOSFET デバイスの回路内特性を比較します。

40 V および 25 V の MOSFET のさまざまな組み合わせに対する 40 V の eGaN FET の特性を評価するために、eGaN FET と MOSFET を同様の電力ループ設計にしてテストしました。この設計のプリント回路基板のレイアウトが図 3 で、図 3a では高周波ループを赤色で強調して表示しています。この従来のプリント回路基板レイアウトでは、入力コンデンサとデバイスをプリント回路基板の反対側に配置し、コンデンサをデバイスの真下に配置して物理的なループ・サイズを最小化し、プリント回路基板の寄生インダクタンスを低減しています。バック・コンバータの出力コイルに接続されているスイッチング・ノード接続向けに、デバイス間にすき間をもうけました。

図 3b と 3c は、eGaN FET のプロトタイプと MOSFET のプロトタイプです。同じような部品のレイアウト、同一の基板構成にして、この比較がデバイスによってのみ影響を受けるようにしました。eGaN FET の面積 $4.1 \times 1.6 \text{ mm}$ の LGA パッケージと比べるために、MOSFET デバイスには、最小のパッケージである $3 \times 3 \text{ mm}$ の TSDSON-8 を選択しました。eGaN FET のドライバには、eGaN FET の駆動要件を満たすように設計された LM5113 を使い、MOSFET には MOSFET 用ドライバ ISL2111 を使いました。

デバイスの比較では、オン抵抗が同じ MOSFET を同期整流器用を選び、2 つの異なる基準を上側スイッチの比較に使いました。MOSFET の上側スイッチを選択する最初の基準は、より高いスイッチング周波数で最小のスイッチング損失を実現するために、動的損失パラメータ $Q_{GD} + Q_{GS2}$ を最小化することでした。MOSFET の上側スイッチ選択の第 2 の基準は、40 V の eGaN FET と同じオン抵抗を選び、同様の導通損失を実現することでした。選択したデバイスとその特性を表 1 にまとめました。

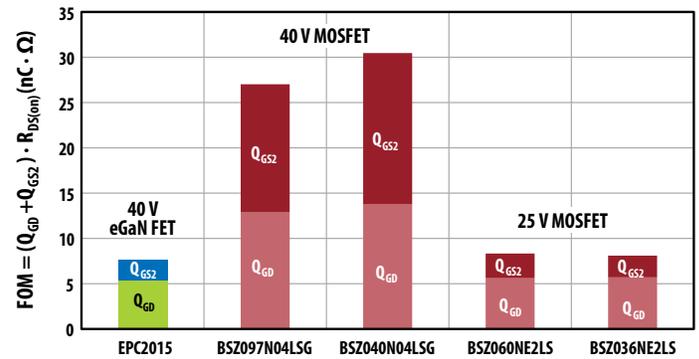


図 2: 40 V のデバイスの性能指数 FOM の比較 ($V_{DS} = 12 \text{ V}$, $I_{DS} = 20 \text{ A}$)

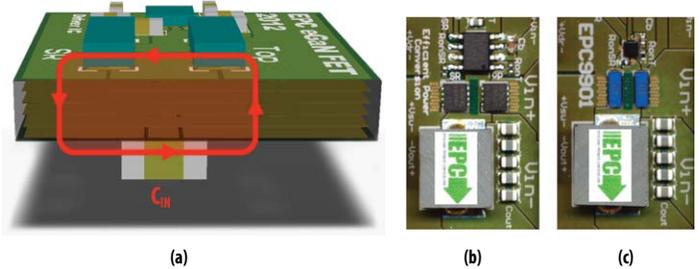


図 3: 従来の垂直電力ループのプリント回路基板レイアウト
(a) 側面、(b) MOSFET の表面、(c) eGaN FET の表面

	上側スイッチ	$(Q_{GD} + Q_{GS2})(\text{nC})$	$R_{DS(on)}(\text{m}\Omega)$	性能指数 ($\text{pC} \cdot \Omega$)	同期整流器	$R_{DS(on)}(\text{m}\Omega)$
40 V eGaN FET	EPC2015	2.4 ⁺	3.2	7.6	EPC2015	3.2
40 V MOSFET のペア1	BSZ097N04LSG	3.3 ⁺	8.2	27	BSZ040N04LSG	3.4*
40 V MOSFET のペア2	BSZ040N04LSG	9.0 ⁺	3.4	30.5	BSZ040N04LSG	3.4*
25 V MOSFET のペア1	BSZ060NE2LS	1.6 ⁺	5.1	8.3	BSZ036NE2LS	3.0*
25 V MOSFET のペア2	BSZ036NE2LS	2.7 ⁺	3.0	8.1	BSZ036NE2LS	3.0*

表 1: 40 V の eGaN FET、40 V の MOSFET、25 V の MOSFET のデバイス・パラメータ。+: 12 V での Q_{GD} 、20 A での Q_{GS2} 。*: 8 V で駆動した MOSFET。

40 VのeGaN FET、40 VのMOSFET、25 VのMOSFETの効率の比較が図4です。1 MHzのスイッチング周波数で、eGaN FETは、すべてのベンチマークMOSFETよりも高い効率を実現しました。40 VのeGaN FETは、最高の25 VのMOSFETのペアをほぼ1%、最高の40 VのMOSFETのペアをほぼ3%上回るすることができます。同様のFOMで、より最適化されたチップ・サイズを選んだMOSFETに対するeGaN FETの特性の改善を説明するには、パッケージの寄生成分とプリント回路基板レイアウトの寄生成分の影響を考慮しなければなりません。eGaN FETの場合、スイッチング電荷が小さいeGaN FETであるEPC2014を上側スイッチに使うことによって、より高い周波数でスイッチング損失を低減できます。

コンバータの寄生成分の影響

前のセクションにおいて、40 VのeGaN FETと、より定格が小さい25 VのMOSFETのペア2つとの間の効率の差が1%以上であることから分かるように、同じスイッチング電荷とオン抵抗を備えたデバイスは、回路内で振る舞いが異なることが示されました。同様の特性を備えたMOSFETと比べて、eGaN FETの特性が向上した理由は、eGaN FETのパッケージが優れていることです。このセクションでは、コンバータの特性に対する寄生成分の影響について説明します。

実際のバック・コンバータには、図5に示すように、2つの主要な寄生インダクタンスがあり、これがコンバータの特性に大きな影響を及ぼします。

1. 共通ソース・インダクタンス L_S は、ドレインからソースへの電力電流経路とゲート・ドライバー・ループで共有されるインダクタンスです。
2. 高周波電力ループのインダクタンス L_{LOOP} は、電力転流ループであり、入力容量の正端子から、上側デバイス、同期整流器、接地ループ、および入力コンデンサを通る寄生インダクタンスで構成されます。

共通ソース・インダクタンス L_S は、デバイスの駆動速度に直接影響するため、性能にとって重要であることが示されています[7]~[9]。共通ソース・インダクタンスは、主にデバイスのパッケージ・インダクタンスに左右され、パッケージごとに異なります[10],[11]。eGaN FETの場合、図6aに示すように、LGAパッケージ(図6b)は共通ソース・インダクタンスが小さいので、損失が低減されます。

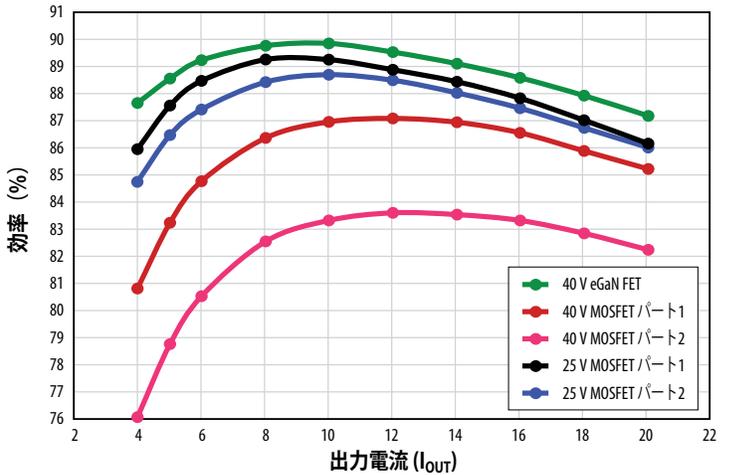


図4: 40 VのeGaN FETと、40 Vおよび25 VのSi MOSFETの効率比較 (表1に示したデバイス)。 $V_{IN} = 12 V$, $V_{OUT} = 1.2 V$, $f_{SW} = 1 MHz$, $L_{BUCK} = 300 nH$ のとき。

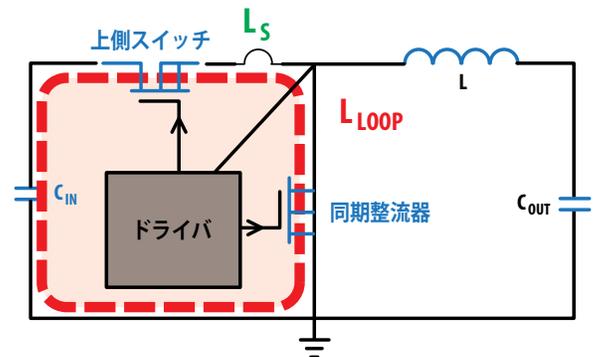


図5: 寄生インダクタンスを示した同期バック・コンバータ

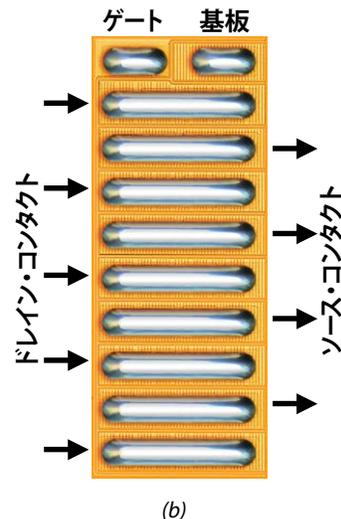
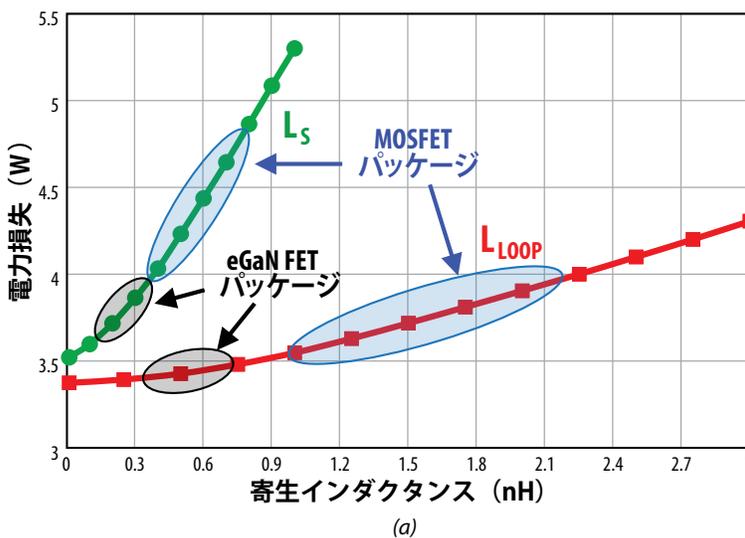


図6: (a) 電力損失に対する寄生インダクタンスの影響 ($V_{IN} = 12 V$, $V_{OUT} = 1.2 V$, $I_{OUT} = 20 A$, $f_{SW} = 1 MHz$, 上側スイッチ: EPC2015, 同期整流器: EPC2015)、(b) eGaN FETのLGAパッケージ

高周波ループ・インダクタンス L_{Loop} は、スイッチング転流時間とデバイスのドレイン・ソース間電圧スパイクのピークに影響を与えます。高周波ループ・インダクタンスは、プリント回路基板のレイアウトとパッケージのインダクタンスによって決まります。パッケージの寄生成分が小さい、例えばeGaN FETを利用するアプリケーションでは、プリント回路基板のレイアウトが高周波ループ・インダクタンスで支配的になります [12]~[15]。

eGaN FETベースのバック・コンバータの電力損失に対する寄生インダクタンスの影響の計算結果が図6aです[16]。共通ソースと高周波ループ・インダクタンスを考慮すると、損失が増加することが分かります。寄生インダクタンスが特性に与える影響が分かったので、eGaN FETでは、パッケージの寄生成分の低減を最優先しました。より高い耐圧の横型構造のデバイスであるeGaN FETの場合、すべての接続がチップの同じ側になります。これによって、このチップをプリント回路基板に直接実装することができ、内部経路と外部はんだバンプへの寄生成分の全体を最小限に抑えられます。寄生成分をさらに減らすために、図6bに示すように、ドレインとソースの接続の配置をインターリーブしたLGAパッケージを使って、チップからプリント回路基板への複数の並列接続を実現します。この結果、デバイス・パッケージのインダクタンスは数100 pH程度になります [5],[11]。

プリント回路基板のレイアウトが特性に与える影響

eGaN FETによって提供されるパッケージ関連インダクタンスの大幅な低減によって、共通ソース・インダクタンスは最小化されるので、もはや寄生損失の主な原因ではなくなります。プリント回路基板のレイアウトによって左右される高周波ループ・インダクタンスが損失の主な原因となり、eGaN FETを使ったレイアウトが高周波特性にとって重要になります。

eGaN FETとMOSFETの両方に対する異なるプリント回路基板レイアウトの特性を比較するために、図3のプリント回路基板レイアウトに基づいて2つの異なる構成の基板を検討しました。レイアウト比較のために、基板全体の厚さ62ミル(1ミルは0.0254 mm)と31ミルで、各層に2オンスの銅を使った4層プリント回路基板でテストしました。従来の垂直電力ループ設計では、電力ループがプリント回路基板の最上層と最下層に含まれているため、ループ・インダクタンスは基板の厚さに大きく依存します。基板の厚さが厚くなると、高周波ループ・インダクタンスも増加するため、損失が大きくなり、結果として効率が低下します。

図7bは、eGaN FETベースおよびMOSFETベースのプリント回路基板設計の高周波ループ・インダクタンスのシミュレーション結果です。eGaN FETは、サイズが小さく、パッケージの寄生成分が小さいため、MOSFETの設計と比べて、ループ・インダクタンスが約半分になります。eGaN FETの場合、プリント回路基板のレイアウトがループ・インダクタンスに対して支配的なので、基板の厚さを31ミルから62ミルへと厚くするとインダクタンスが80%増加します。高周波ループ・インダクタンスが大きくなった結果、62ミルの基板設計はすべて、効率が少なくとも1%低下します。

性能指数FOMは、最高性能のデバイスを決定する上で重要な指標ですが、パッケージとレイアウトの寄生成分も損失の主な原因です。この論文では、同様の従来のプリント回路基板レイアウトを使って、eGaN FETとMOSFETを比較しました。FOMが小さく、パッケージの寄生成分が小さく、プリント回路基板の寄生成分を低減する小さなフットプリントを備えたeGaN FETは、定格電圧がはるかに小さいMOSFETを上回りました。FOMとパッケージが改善されると、プリント回路基板レイアウトが高効率化にとって重要になります。次のホワイト・ペーパーでは、eGaN FETで実現可能な特性をさらに改善するために、プリント回路基板レイアウトの最適化の方法を検討します。

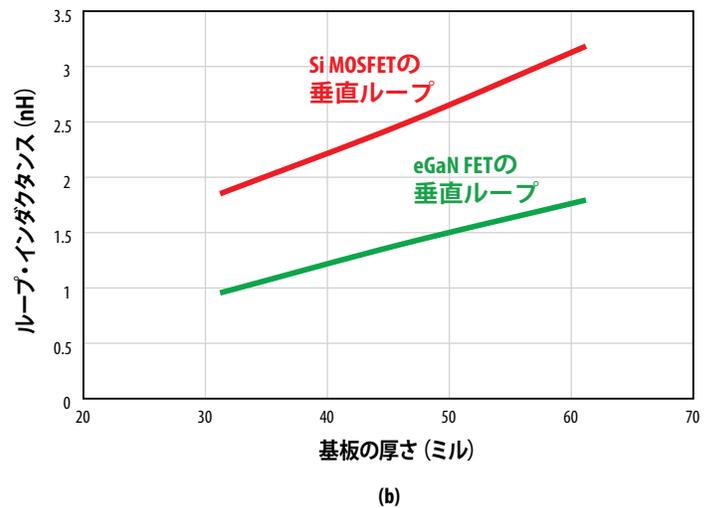
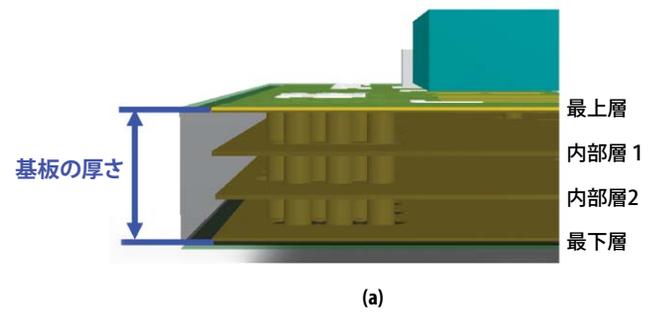


図7: (a) プリント回路基板の断面図
(b) 高周波ループ・インダクタンスと垂直電力ループ設計の基板の厚さの関係のシミュレーション結果

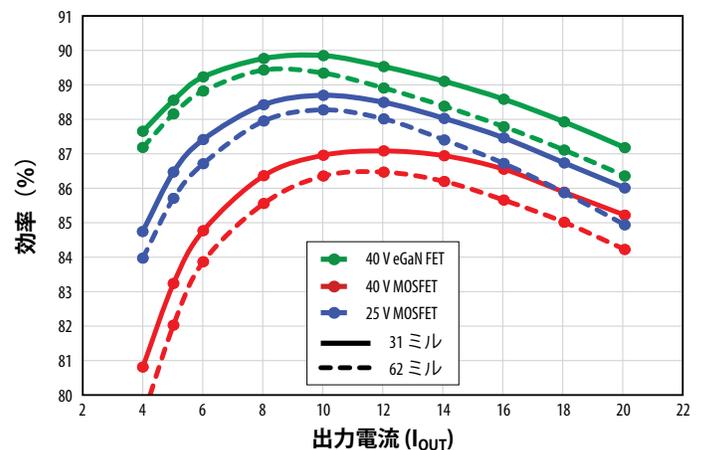


図8: 基板の異なる厚さ (31ミルと62ミル) による効率の比較 ($V_{IN} = 12 V$, $V_{OUT} = 1.2 V$, $f_{SW} = 1 MHz$, $L_{BUCK} = 300 nH$, eGaN FET: 上側スイッチ: EPC2015、同期整流器: EPC2015、40 VのMOSFET: 上側スイッチ: BSZ097N04LSG、同期整流器: BSZ040N04LSG、25 VのMOSFET: 上側スイッチ: BSZ036NE2LS、同期整流器: BSZ036NE2LS)

参考文献:

- [1] J. Strydom, "The eGaN® FET-Silicon Power Shoot-Out Vol. 7: Buck Converters", Power Electronics Technology, Vol.38, No.2, February, 2012.
- [2] J. Strydom, "The eGaN® FET-Silicon Power Shoot-Out Vol. 8: Envelope Tracking", Power Electronics Technology, Vol.38, No.5, May, 2012.
- [3] M. de Rooij and J. Strydom, "eGaN® FET – Silicon Shoot-out Vol. 9: Wireless Power Converters", Power Electronics Technology, Vol. 38, No. 7, July 2012.
- [4] D. Reusch and J. Strydom, "The eGaN® FET-Silicon Power Shoot-Out Vol. 10: High Frequency Resonant Converters", Power Electronics Technology, Vol.38, No.9, September, 2012.
- [5] J. Strydom, "The eGaN® FET-Silicon Power Shoot-Out Vol. 1: Comparing Figure of Merit (FOM)", Power Electronics Technology, Vol.36, No.9, September, 2010.
- [6] J. Strydom, "The eGaN® FET-Silicon Power Shoot-Out Vol. 11: Optimizing FET On-Resistance", Power Electronics Technology, Vol.38, No.10, October, 2012.
- [7] A. Elbanhawy, "Effects of parasitic inductances on switching performance," in Proc. PCIM Eur., May 2003, pp. 251–255.
- [8] G. Nobauer, D. Ahlers, J. Sevillano-Ruiz, "A method to determine parasitic inductances in buck converter topologies," in Proc. PCIM Eur., May 2004, pp. 37–41.
- [9] B. Yang, J. Zhang, "Effect and utilization of common source inductance in synchronous rectification," in Proc. IEEE APEC'05, Mar. 2005, vol. 3, pp. 1407–1411.
- [10] M. Pavier, A. Woodworth, A. Sawle, R. Monteiro, C. Blake, and J. Chiu, "Understanding the effect of power MOSFET package parasitic on VRM circuit efficiency at frequencies above 1 MHz" in Proc. PCIM Eur., May 2003, pp. 279–284.
- [11] D. Reusch, D. Gilham, Y. Su and F.C. Lee, "Gallium nitride based multi-megahertz high density 3D point of load module," APEC 2012, pp.38-45. Feb. 2012.
- [12] T. Hashimoto, T. Kawashima, T. Uno, Y. Satou, N. Matsuura, "System in package with mounted capacitor for reduced parasitic inductance in voltage regulators," Applied Power Electronics Conference and Exposition, 2008. APEC 2008. Twenty-Third Annual IEEE, pp.187-191, 24-28 Feb. 2008.
- [13] Y. Kawaguchi, T. Kawano, H. Takei, S. Ono, A. Nakagawa, "Multi Chip Module with Minimum Parasitic Inductance for New Generation Voltage Regulator," Power Semiconductor Devices and ICs, 2005.
- [14] A. Ball, M. Lim, D. Gilham, F.C Lee, "System design of a 3D integrated non-isolated Point Of Load converter," Applied Power Electronics Conference and Exposition, 2008. Twenty-Third Annual IEEE, pp.181-186, 24-28 Feb. 2008.
- [15] D. Reusch, F.C. Lee, Y. Su, D. Gilham, "Optimization of a High Density Gallium Nitride Based Non-Isolated Point of Load Module," Energy Conversion Congress and Exposition (ECCE), IEEE, Sept. 2012.
- [16] D. Reusch, "High Frequency, High Power Density Integrated Point of Load and Bus Converters," PhD Dissertation, Virginia Tech, 2012.